

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-78495

(43)公開日 平成7年(1995)3月20日

(51)Int.Cl.⁸
G 11 C 29/00

識別記号 庁内整理番号
303 B 6866-5L

F I

技術表示箇所

審査請求 有 請求項の数3 OL (全5頁)

(21)出願番号 特願平5-222580

(22)出願日 平成5年(1993)9月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中村 和之

東京都港区芝五丁目7番1号 日本電気株式会社内

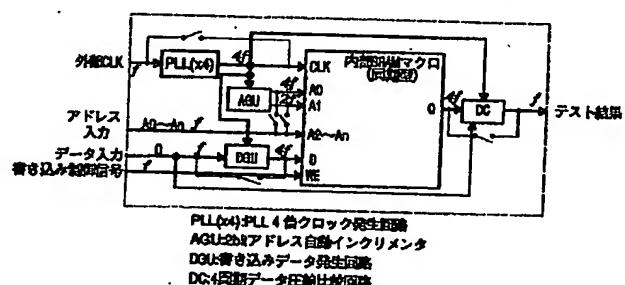
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 高速自己テスト回路内蔵半導体記憶装置

(57)【要約】

【目的】 メモリLSIのテスト時間を短縮し、またより安価な、低速なテスターを用いて、高速動作を診断する。それにより、テストコストを削減し、LSIの出荷コストを低減する。

【構成】 外部クロックの通倍の内部クロック発生回路PLLを設け、テスト時にはLSI内部を、外部の通倍の周波数で動作させる。このとき、アドレスの一部及び、データ入力信号を内部周波数で自動発生させる回路(それぞれAGU、DGU)を搭載する。データ入力信号は、外部からの入力信号で始まり、内部周波数で0と1が交互に切り換えるように構成する。さらに内部回路からの出力信号が0と1の交互であり、その始まりが、外部から入力される期待値と一致しているかどうかの判定回路DCを搭載する。これらの回路により、LSI内部のメモリ回路を、外部周波数の通倍でテストする。



【特許請求の範囲】

【請求項1】 外部よりその機能の診断のために印加される信号の周波数を内部で通倍する回路と、通倍された周波数の入力信号に対応する出力結果を前記外部印加の信号周波数と等しくなるよう、圧縮する回路を持ち、外部印加の信号周波数の通倍の速度で、内部診断可能であることを特徴とする半導体記憶装置。

【請求項2】 上記外部より印加させる信号の周波数を通倍する回路において、内部の診断すべき半導体記憶装置に書き込む1bit分のデータを、1と0の交互の列として発生し、その列の先頭データを、外部印加の入力信号に対応させることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 上記出力結果を時間圧縮する回路において、内部の診断すべき半導体記憶装置からの読みだしデータが、1と0の交互の列であり、かつ、外部より印加された期待値とその読みだし信号列の先頭データが対応していれば、正常動作であるとする信号を出力することを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置の大規模化、テスト時間の短縮化、および、低コスト化に関するものである。

【0002】

【従来の技術】 従来の半導体集積回路（LSI）では、LSIの内部動作の診断（テスト）を行う場合、外部より入力ピンにテストパターンを印加して、LSIが期待値どおりの結果を出力ピンから出力するかどうかを確認することにより行っている。特に、メモリLSIにおいては、アドレス指定信号、書き込みデータ信号、書き込み読みだし制御信号を入力として与え、メモリセルへの情報の書き込み読みだし動作を、入力アドレスパターンを変えながらすべてのメモリセルに対して行う。図3に、従来のメモリの回路構成例、図4にその動作タイミング図を示す。図3に示すLSIは、外部クロック周波数（f）に同期して動作する構成のために、このLSIの機能を診断するためには、図4に示すような入力信号を周波数fで入力し、同時に出力結果を判定する装置が必要になる。現在、これらの、LSIの機能テストを行うためには、LSIテスターと呼ばれる専用の装置を用いている。図5にLSIテスターを用いたLSIの機能診断を行う場合の構成図を示す。LSIテスターは、テストパターン発生器と、出力期待値パターン発生器、出力結果判定器を持つ。テストパターン発生器より発生された信号は、被試験LSIに入力信号として印加され、被試験LSIからの出力信号を、テスター内の期待値と比較し、被試験LSIの良／不良を判定する。また、一方では、このLSIテスターが持つ、LSI機能の診断回路をLSI内に造り込み、その回路を用いて、LSI

自身をテストする発明が、特開昭63-184989号公報に記載されている。

【0003】

【発明が解決しようとする課題】 しかるに、前記LSIテスターは、少なくとも、評価するLSI以上の動作速度が要求されることになる。しかし、近年のLSIの高速化・大規模化により、それを評価するために高速なLSIテスターへの投資が必要となり、また、LSIのテストのためのLSIテスター占有時間の増大がLSIの出荷コストを増大させる大きな要因の一つになっている。また、近年においては、LSIの内部回路の高速化に対して、LSI外部とのインターフェース回路の高速化が伴わないので、高速に動作可能であるLSI内部回路の動作速度を正しく評価することが出来ないという問題が生じつつある。

【0004】 本発明の目的は、LSI自身の機能を高速に診断するための補助的付加回路をLSI内に設けることにより、テスト効率を上げ、テスト時間の短縮化を図るとともに、低速なテスターでも高速LSIの診断を可能とし、LSIの出荷コストの低減を実現するものである。

【0005】

【課題を解決するための手段】 第1の発明は、外部よりその機能の診断のために印加される信号の周波数を内部で通倍する回路と、通倍された周波数の入力信号に対応する出力結果を前記外部印加の信号周波数と等しくなるよう、圧縮する回路を持ち、外部印加の信号周波数の通倍の速度で、内部診断可能であることを特徴とする半導体記憶装置である。

【0006】 また上記外部より印加させる信号の周波数を通倍する回路において、内部の診断すべき半導体記憶装置に書き込む1bit分のデータを、1と0の交互の列として発生し、その列の先頭データを、外部印加の入力信号に対応させる。

【0007】 また、上記出力結果を時間圧縮する回路において、内部の診断すべき半導体記憶装置からの読みだしデータが、1と0の交互の列であり、かつ、外部より印加された期待値とその読みだし信号列の先頭データが対応していれば、正常動作であるとする信号を出力する。

【0008】

【作用】 本発明によれば、LSIの大規模化・高速化が、さらに進展した場合でも、テストコストの増大を抑制することができる。

【0009】

【実施例】 次に、図1を参照して、本発明の実施例について説明する。図1は、内部回路としてスタティックメモリ（SRAM）を持つLSIをテストする場合の回路構成図である。図2に動作タイミング図を示す。外部クロック（CLK）、アドレス入力データ入力は周波数

(f) で与えられる。クロックはLSI内部の位相同期ループ回路(PLL)回路により、通倍(本実施例では4倍)する。また、アドレスの一部(本実施例では、LSI内部で4倍のクロックを使用するため、下位2ビット分)が内部のアドレス自動インクリメンタ(AGU)により、内部クロック周波数でインクリメントされる。内部データは、図2に示すように、外部データが1の場合には、1-0-1-0、0の場合には、0-1-0-1と書き込みデータ発生回路DGUで、内部周波数で自動的に発生される。これらの入力信号がLSI内部のSRAMマクロに印加され、外部周波数の通倍でLSI内部回路のテストが行われる。出力データは、出力値比較圧縮回路DCにおいて、外部から与えられる期待値パターン(1なら、1-0-1-0、0なら、0-1-0-1)と通倍周期の間、順次比較され、出力データが、0と1の交互の列であり、かつ、その先頭データが期待値データと一致しているかどうかを判定し、外部周波数でその結果を出力する。本実施例では、外部クロックの1周期の間に、4倍された内部クロックにより4回のメモリ動作が行えるために、テスト時間を従来の場合の1/4とすることができます。また、LSIの入出力回路は、外部クロックで動作すればよいため、外部クロック周波数よりも、より高速動作が可能な内部回路を、低速な入出力回路越しに診断可能となる。さらには、低速なtesterによっても、高速LSIの診断が可能となる。例えば、50MHz動作程度の安価なtesterによっても、200MHz動作の高速LSIの診断が可能となる。

【0010】本発明を、複数のメモリセルブロックを同時に活性化し、複数ビットを同時に読み出し、それらの

結果の一一致を検出する従来の多ビット並列テスト手法と組み合わせることで、LSIのテスト効率はさらに改善される。

【0011】

【発明の効果】本発明の効果は、請求の範囲に記載した構成によって、テスト効率を上げ、テスト時間の短縮化を図るとともに、低速なtesterでも高速LSIの診断を可能とし、LSIの出荷コストの低減を実現するという目的が達成されるというものである。

【図面の簡単な説明】

【図1】本発明の実施例を示す構成図。

【図2】第1図の回路の動作を示すタイミング図。

【図3】従来例を示す構成図。

【図4】従来例の動作を示すタイミング図。

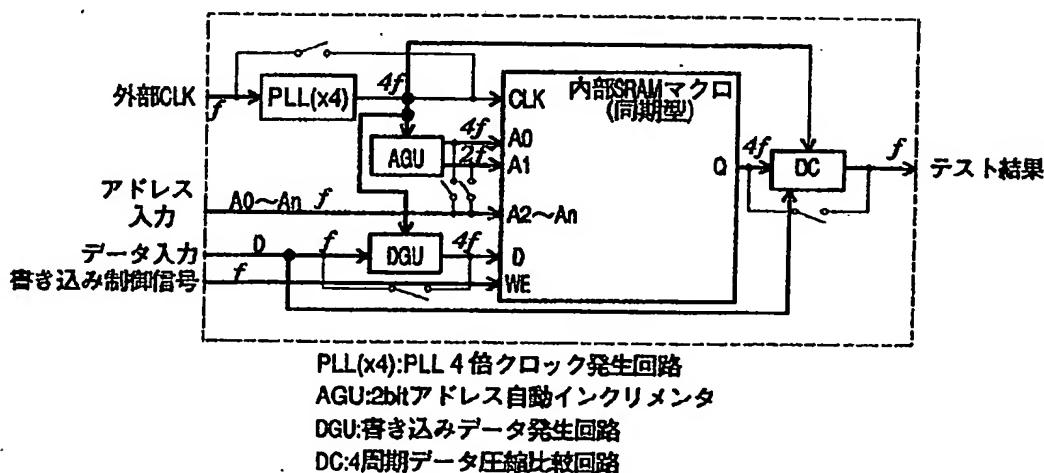
【図5】従来のLSI testerによるLSIの評価を示す構成図。

【符号の説明】

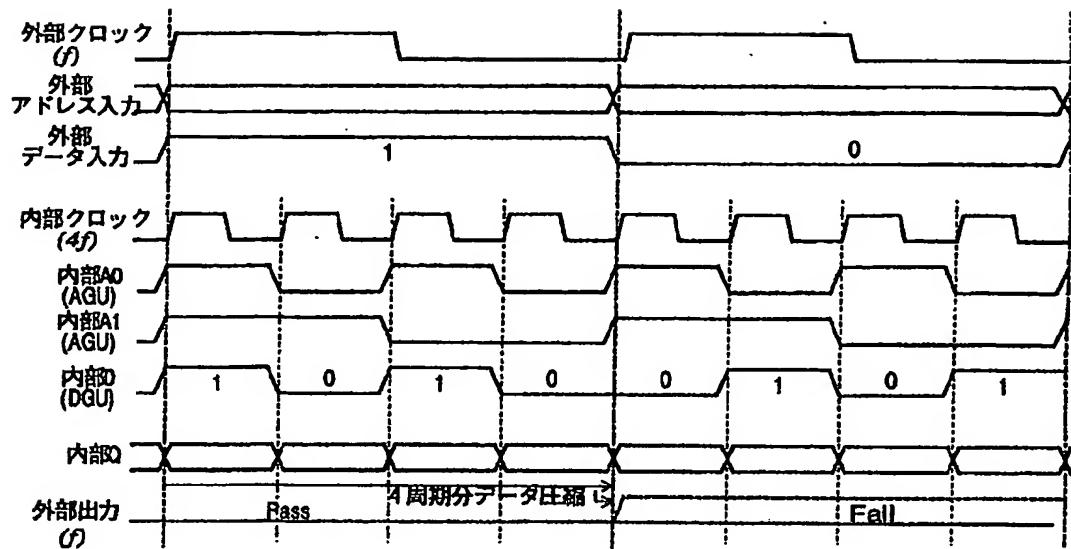
PLL (x4) 4倍周期クロック発生用位相同期ループ回路

20	AGU	2bitアドレス自動インクリメント回路
	DGU	書き込みデータ発生回路
	DC	4周期データ圧縮比較回路
	AO~An	アドレス入力信号
	D	データ入力信号
	WE	書き込み制御信号
	Q	データ出力信号
	CLK	クロック信号

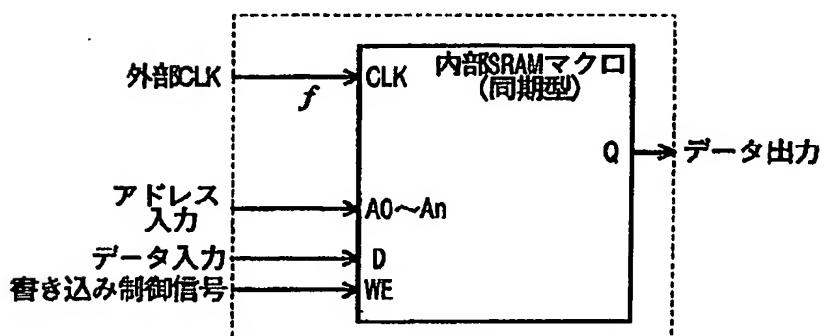
【図1】



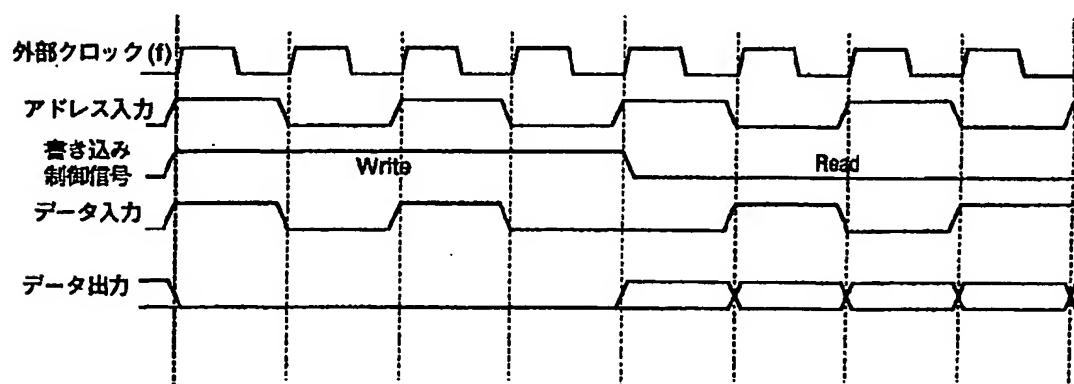
【図2】



【図3】



【図4】



【図5】

